

(11)特許出願公開番号  
特開2001-273799  
(P2001-273799A)

(43)公開日 平成13年10月5日(2001.10.5)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 1 1 C 29/00	6 7 5	G 1 1 C 29/00	6 7 5 B
	6 7 1		6 7 1 B
G 0 1 R 31/28		11/14	Z
G 1 1 C 11/14		11/15	
11/15		G 0 1 R 31/28	B
審査請求 未請求 請求項の数10 O L (全 16 頁) 最終頁に続く			

審査請求 未請求 請求項の数10 O.L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2001-28595(P2001-28595)

(22) 出願日 平成13年2月5日(2001.2.5)

(31) 優先権主張番号 09/498588

(32) 優先日 平成12年2月4日(2000.2.4)

(33) 優先権主張国 米国(US)

(71)出願人 398038580  
ヒューレット・パカード・カンパニー  
HEWLETT-PACKARD COMPANY  
アメリカ合衆国カリフォルニア州パロアル  
ト ハノーバー・ストリート 3000

(72)発明者  
フレデリック・エー・ベルナー  
アメリカ合衆国カリフォルニア州94306,  
パロ・アルト, ラモナ・ストリート 3234

(74)代理人 100099623  
弁理士 奥山 尚一 (外2名)

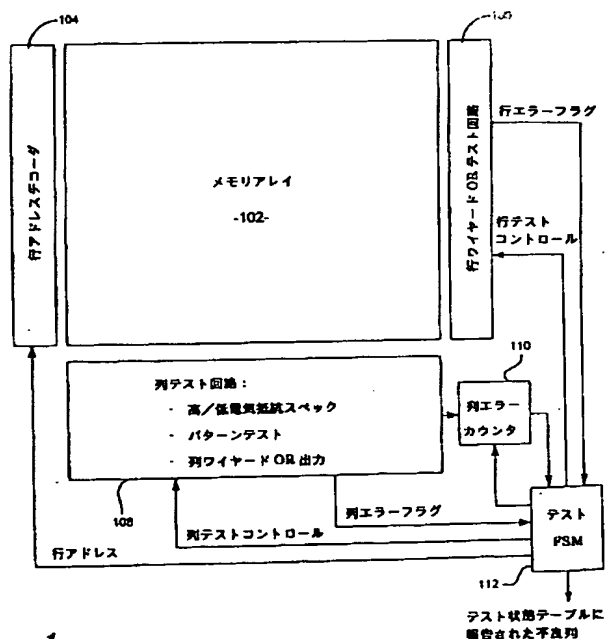
**最終頁に続く**

(54)【発明の名称】 磁気抵抗メモリアレイの自己試験システム

(57) 【要約】

【課題】 磁気抵抗メモリアレイ集積回路に適用可能な組み込み自己試験システムを提供する。

【解決手段】 メモリアレイ 102 のビット線に連結し、メモリアレイ 102 内の各メモリセル 310、410 の抵抗を試験し、その抵抗が所定の上限および下限内にあるか否かを決定する第 1 の抵抗仕様試験回路 108、300、400 を含んでいる磁気抵抗メモリアレイ集積回路用の組み込み自己試験システムを提供する。



1

## 【特許請求の範囲】

【請求項 1】 メモリアレイのビット線に連結し、前記メモリアレイ内の各メモリセルの抵抗を試験し、その抵抗が所定の上限および下限内にあるか否かを決定する第 1 の抵抗仕様試験回路を含んでいる磁気抵抗メモリアレイ集積回路のための組み込み自己試験システム。

【請求項 2】 前記抵抗仕様試験回路は、各メモリセルからそれぞれ生成した信号と、所定のメモリセル抵抗仕様の上限および下限を表す第 1 および第 2 の所定のタイミング信号とを比較する請求項 1 に記載の組み込み自己試験システム。

【請求項 3】 前記抵抗仕様試験回路は、前記集積回路のセンスアンプ回路の一部をなすものであり、試験されているメモリセルを通る検出電流に従って電荷を集積するように配置した電荷集積回路と、集積素子から二値出力を提供できるように連結した閾値回路と、前記第 1 および第 2 の所定のタイミング信号に従って前記センスアンプの走査レジスタに前記二値出力を提供するために連結したスイッチング回路とを含んでいる請求項 2 に記載の組み込み自己試験システム。

【請求項 4】 前記メモリアレイ内のメモリセルの行に連結し、前記メモリアレイの各行において短絡したメモリセルと開いた行アドレス指定線とを検出するように配置した第 2 の試験回路をさらに含んでいる請求項 1 から 3 のいずれか 1 項に記載の組み込み自己試験システム。

【請求項 5】 前記第 2 の試験回路は、入力を提供するように前記メモリアレイの行に連結し、出力を提供するように任意の短絡セルまたは開いた行アドレス指定線を前記メモリアレイ内において検出するか否かを記録する行エラーフラグレジスタに連結しているワイヤード OR 回路を含んでいる請求項 4 に記載の組み込み自己試験システム。

【請求項 6】 前記メモリアレイの走査レジスタに連結して所定のデータパターンをメモリアレイへと書き込み、該メモリアレイからデータを読み出し、前記読み出したデータと前記書き込んだデータとを比較するように配置した第 3 の試験回路をさらに含んでいる請求項 1 から 5 のいずれか 1 項に記載の組み込み自己試験システム。

【請求項 7】 前記第 3 の試験回路をワイヤード OR 回路を介して前記第 1 の試験回路に連結し、該試験回路の出力をエラーフラグ列レジスタに組み合わせる請求項 6 に記載の組み込み自己試験システム。

【請求項 8】 メモリセルのアレイを有し、前記メモリセルは前記アレイの各行線と各列線との間にそれぞれ連結し、前記メモリセルに格納したデータを検出するためにセンスアンプが前記アレイの前記列線に連結しており、走査レジスタが、前記センスアンプから出力を受け取り、前記アレイ内の前記メモリセルに入力を提供するように連結している磁気抵抗ランダムアクセスメモリ

2

(MRAM) 集積回路用の組み込み自己試験システムであって、

前記センスアンプのそれぞれに連結し、前記メモリアレイ内の各メモリセルの抵抗を試験して、該抵抗が所定の上限および下限内にあるか否かを決定する抵抗仕様試験回路を含む第 1 の試験回路と、

前記メモリアレイの行線に連結し、前記アレイの各行において短絡したメモリセルと開いた行アドレス指定線とを検出するために配置する第 2 の試験回路と、

前記メモリアレイの前記走査レジスタに連結して所定のデータパターンをメモリアレイに書き込み、該メモリアレイからデータを読み出し、前記読み出したデータと前記書き込んだデータとを比較するために配置する第 3 の試験回路とを含んでなる組み込み自己試験システム。

【請求項 9】 前記抵抗仕様試験回路は、各メモリセルそれぞれに対応する前記センスアンプにおいて生成する試験信号と所定のメモリセル抵抗仕様の上限および下限を表す第 1 および第 2 の所定のタイミング信号とを比較し、前記アレイ内のメモリセルについての試験信号が第 1 および第 2 の所定のタイミング信号の限度外にある場合にはエラーフラグ信号を生成する請求項 8 に記載の組み込み自己試験システム。

【請求項 10】 前記抵抗仕様試験回路は、試験下のメモリセルを通る検出電流に従って電荷を集積するように配置した電荷集積回路と、集積素子から二値出力を提供するように連結した閾値回路と、前記第 1 および第 2 の所定のタイミング信号に従って前記走査レジスタに前記二値出力を提供するように連結したスイッチング回路とを含んでいる請求項 9 に記載の組み込み自己試験システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ回路の試験に関し、特に、磁気抵抗メモリ (magneto-resistive memory あるいは MRAM) アレイのための組み込み自己試験回路に関する。

【0002】

【従来の技術】大規模かつ複雑な集積回路の製造において重要な考慮すべき問題の 1 つとして、回路のテスト容易性がある。集積回路に影響を及ぼしうる製造時の傷や不精密性のため、製造した回路を使用のために出荷する前に試験可能であることが重要であり、これにより欠陥のある IC を破棄し、場合によっては修正することができる。このような試験は外部回路によって行うことが多いが、テスト回路が IC に含まれる場合には試験の効率を増大できる。これは、組み込み自己試験回路と呼ばれる。

【0003】以下に参照する文献は、大規模集積回路における組み込み自己試験用のいくつかの技法を記載している。

## 3

1. M. AbramoviciらのDigital Systems Testing and Testable Design, Chapter 9: 「Design for testability」 (Rockville, MD, Computer Science Press, 1990年)
2. E. B. Eichelberger & T. W. Williamsの「A Logic Design Structure for LSI Testability」 (Journal of Design Automation and Fault Tolerant Computing, Vol. 2, pp165 - 178, 1978年5月)
3. 5. Dasguptaらの「A variation of LSSD and its Implementation in Design and Test Pattern Generation in VLSI」 (Proc. IEEE ITC, 1982, pp63- 66)

【0004】メモリ回路の組み込み自己試験は、大規模メモリアレイの試験には多数の試験ベクトルを必要とする場合があり、これを外部回路で行うにはかなりの試験時間が伴うので特に有利なことがある。DRAMおよびSRAM等のメモリアレイに有用な試験手順の1つはパターン試験と呼ばれるものであり、所定パターン（例えば、チェッカーボードパターン）のデータをアレイに書き込んでからアレイを読み出して、読み出したデータと書き込んだパターンとが一致するか否かを決定する。

【0005】

【発明の解決しようとする課題】開発されている新しい形態のメモリアレイは、磁気ランダムアクセスメモリ

(MRAM)と呼ばれ、多数のギガビットの記憶容量を有するアレイ内に製造される潜在的可能性を有する。MRAMの素子およびアレイの構造やアレイおよびそのデータI/O構造のサイズのため、SRAMおよびDRAMに対して開発した組み込み自己試験回路は、MRAMには適用不可能であるか不十分である。

【0006】

【課題を解決するための手段】本発明の原理によれば、メモリアレイのビット線に連結し、メモリアレイ内の各メモリセルの抵抗を試験し、その抵抗が所定の上限および下限内にあるか否かを決定する第1の抵抗仕様試験回路を含んでいる組み込み自己試験システムを提供する。

【0007】好ましくは、抵抗仕様試験回路は、各メモリセルのそれぞれから生成する信号と、メモリセル抵抗仕様の所定の上限および下限を表す第1および第2の所定のタイミング信号とを比較する。

【0008】本発明の好ましい形態において、抵抗仕様試験回路は、集積回路のセンスアンプ回路の一部をなすものである。抵抗仕様試験回路は、試験下のメモリセルを通る検出電流に従って電荷を集積するように配置した電荷集積回路を含みうる。集積素子から二値出力を提供するために閾値回路を連結し、第1および第2の所定のタイミング信号に従ってセンスアンプの走査レジスタに二値出力を提供するためにスイッチング回路を連結することができる。そして、メモリセルが抵抗仕様試験に合格または不合格であるかを示すために、走査レジスタのコンテンツを使用する。

## 4

【0009】第2の試験回路は、メモリアレイにおけるメモリセルの行に連結し、アレイの各行において短絡したメモリセルおよび開いた(opened)行アドレス指定線を検出するために配置することができる。好ましくは、第2の試験回路は、入力を提供するためにメモリアレイの行に連結し、出力を提供するために任意の短絡セルまたは開いた行アドレス指定線がメモリアレイにおいて検出するか否かを記録する行エラーレジスタに連結するワイヤードOR回路を含む。

【0010】メモリアレイの走査レジスタに第3の試験回路を連結し、所定のデータパターンをメモリアレイに書き込み、メモリアレイからデータを読み出し、読み出したデータと書き込んだデータとを比較するように配置する。

【0011】本発明の好ましい形態において、第3の試験回路は、ワイヤードOR回路を介して第1の試験回路に連結し、その出力をエラーフラグ列レジスタに組み合わせる。エラーフラグ列レジスタは、メモリアレイにおける各行について、第1および第3の試験回路によって検出されたエラーの数を記録し、各行毎のエラーの数が所定の許容される数よりも大きいかな否かを決定する。

【0012】本発明によれば、メモリセルのアレイを有し、メモリセルはアレイの各行線と列線の間にそれぞれ連結し、メモリセルに格納したデータを検出するためセンスアンプがアレイの列線に連結し、走査レジスタがセンスアンプから出力を受け取り、アレイ内のメモリセルに対して入力を提供するように連結する磁気抵抗ランダムアクセスメモリ(MRAM)集積回路用の組み込み自己試験システムも提供する。組み込み自己試験システムは、メモリアレイ内の各メモリセルの抵抗を試験してその抵抗が所定の上限および下限内にあるか否かを決定するため、各センスアンプに連結した抵抗仕様試験回路を含む第1の試験回路を含んでいる。この場合の組み込み自己試験システムは、短絡したメモリセルおよびアレイの各行における開いた行アドレス指定線を検出するため、メモリアレイの行線に連結した第2の試験回路も含む。この形態の組み込み自己試験システムは、メモリアレイの走査レジスタに連結し、所定のデータパターンをメモリアレイに書き込み、データをメモリアレイから読み出し、読み出したデータと書き込んだデータとを比較するように配置した第3の試験回路をさらに含んでいる。

【0013】組み込み自己試験システムの好ましい形態は、第1と第2と第3の試験回路を制御し、メモリアレイに対する第1と第2と第3の試験を実行するため連結した試験状態マシン回路をさらに含んでいる。

【0014】好ましくは、第1および第2の所定のタイミング信号を、前記試験状態マシン回路によって生成する。

【0015】本発明の別の形態によれば、メモリセルに

5

格納したデータを検出するセンスアンプを少なくとも1つ含むメモリセルのアレイを備える磁気抵抗ランダムアクセスメモリ(MRAM)集積回路用の組み込み自己試験性能を与える方法を提供する。本方法は、センスアンプを使用し、アレイ内のメモリセルを通る検出電流を表す電流信号を生成するステップと、電流信号を時間集積し、それに閾値を適用して二値出力を提供するステップと、第1および第2の時間で二値出力をサンプリングするステップと、第1および第2のサンプリングした二値出力に基づいて所定の抵抗仕様外のメモリセルを登録するステップとを含んでなる。

【0016】本発明の好ましい実施形態は、従来技術に優るいくつかの利点を提供する。例えば、従来のメモリ試験は、各チップの試験にかなりの時間を要し、その結果としてMRAM試験のコストが比較的高くなる。試験時間を低減するために、SRAMおよびDRAMチップに見られる組み込み自己試験を用いることができるが、これはパターン試験に限られ、MRAMアレイの特別な試験条件を考慮していない。本発明のこの実施形態は、MRAMデータのブロック編成を利用する広範な組み込み自己試験の特徴を引き出す、MRAMアレイに見られるデータ書き込みおよびデータ読み出しのセンス回路を利用する。エラーの数がECC修正可能であるか、またはデータの行全体を不良とマークする必要があるかを決定するために使用可能な単一ビットエラーデータを格納するために、走査データI/Oレジスタを使用する。本発明における回路は、単純な組み込み「試験」状態マシンを用いて動作する場合、完全な範囲のテストおよび有効なMRAMアレイ試験に関するエラー報告を提供する。組み込み自己試験は、製造業者による試験において行っても、および/またはユーザが再フォーマット化の手順中に繰り返してもよい。

【0017】本発明は、添付図面を参照しつつ、好ましい実施形態の説明を通して、例としてのみ本明細書により詳細に説明する。

【0018】

【発明の実施の形態】本明細書は、メモリ回路を試験するための方法および装置を記載する。以下の説明において、説明目的のために、特定の用語および特定の実施形態の詳細を、本発明の完全な理解を提供するために記載する。しかし、当業者には、これら特定の詳細が本発明の実施に必要なことが明白であろう。

【0019】MRAMシステム100は、図1においてブロック図形態で示され、MRAMアレイ102と、本発明の実施形態による組み込み自己試験回路とを含んでいる。行のワイヤードOR試験回路106は、アレイ102内のメモリ素子の各行の出力線に連結し、既知の様式で行アドレスデコーダ104が出力線をアドレス指定する。アレイ102に連結する列試験回路は、108に示され、ハイ/ロー抵抗仕様テストと、パターン試験回

6

路と、列ワイヤードOR出力とを含んでいる。列試験回路108は、列エラーカウンタ110に出力を提供するように連結する。行試験回路106と列試験回路108と列エラーカウンタ110とをすべて、試験機能状態マシン112に連結し、試験機能状態マシン112をまた、行アドレスデコーダ104のイネーブル制御に連結する。本発明の好ましい実施は、広範囲にわたるMRAMメモリアレイ用の組み込み自己試験システムの形成に利用することが可能ないくつかの態様を組み込む。好ましい実施形態の様々な態様については、以下に詳細に説明し、これから、図1の回路の機能のより深い理解が確認できる。

【0020】開いた行および短絡したMRAM素子について試験するための簡略化した回路200を図2に示す。回路200は、それぞれ各列制御線204と行制御線206の間に連結する磁気抵抗メモリ素子210の格子を含むMRAMアレイ202の一部を示す。それぞれ電圧出力 $V_{n-1}$ と、 $V_n$ と、 $V_{n+1}$ とを有し、行「 $n-1$ 」と、「 $n$ 」と、「 $n+1$ 」と呼ばれる3つの行を図2のアレイ部分202に示す。行制御線206は、各電流制限スイッチ212を介して制御可能に接地可能な入力線を有する。一度に1つのスイッチ212を選択的に短絡するように動作可能な行アドレス入力214に従ってスイッチ212を制御する。列制御線204には、電圧源VHCを供給する。

【0021】各ワイヤードOR回路トランジスタ216の制御ゲートを、各行制御線206からの行電圧出力( $V_{n-1}$ ,  $V_n$ ,  $V_{n+1}$ )を受け取るように連結する。本例でのワイヤードORトランジスタは、それぞれ電圧源 $VH_{test}$ に連結したドレインを有するpMOSトランジスタを含んでいる。ワイヤードORトランジスタ216のソース端子を、一般に、Short Test Clk信号が制御するゲートを有する長チャネルトランジスタのような負荷トランジスタ218のソースにおいて出力208に連結する。ワイヤードOR出力208もまた、選択スイッチングトランジスタ220を介して行エラーフラグレジスタ222に連結する。選択スイッチングトランジスタ220もまた、Short Test Clk信号が制御する。

【0022】211に示すもの等、短絡したメモリセルを検出するための回路200の動作について次に説明する。アレイ202の各行を、次に、行アドレス入力を使用して、対応する電流制限スイッチ212を切り替え、行制御線206を接地することで選択する。行選択は、ワイヤードOR試験回路の出力を制御するShort Test Clk入力信号を用いて調節する。行を選択すると、良好な行が行電圧出力(例えば、 $V_{n+1}$ )をプルダウンし、ロジック「1」電圧をワイヤードOR出力208において提示し、行エラーフラグレジスタ222に渡す。これは、良好な行における各メモリセルは、VHC列電圧が行制御線に現れない十分な抵抗を有するためである。行

7

を非常に抵抗の低いMRAMセル（例えば、211で示す短絡したMRAMセル）に接続する場合、行電圧（ $V_n$ ）を、対応するワイヤードORトランジスタ216が「オフ」のままであるように、エラー試験レベルより下にはプルダウンしない。この場合、ロジック「0」の電圧を行エラーフラグレジスタ222に渡す。選択していない行は、ワイヤードOR出力回路を行アドレスデコードが選択した行に対してのみ作用するように、高電圧（ $\sim V_{HC}$ ）のみである。行エラーフラグレジスタ222は、試験した各行毎にワイヤードOR試験回路出力の記録を格納し、例えば、Short Test Clk信号が各行毎にシフトするシフトレジスタとして構築することが可能である。このように、行エラーフラグレジスタは、短絡したメモリセルを有する行を示すエラーフラグ出力224を提供できる。上記機能説明から明白なように、回路200はまた、開いた（例えば、断続した）行線を検出する。例えば、図2において209に示すように、開いた欠陥行線を検出するために、短絡したメモリセル211を検出するような上記と同じ技法を使用できる。

【0023】図3に示す回路300は、ハイ/ローMRAM素子抵抗試験回路302と共に、トリプルサンプルセンスアンプ回路304を示す。図4は、ハイ/ローMRAM素子抵抗試験回路402と共に、シングルサンプルセンスアンプ404を有する回路400を示す。試験回路302および402は、メモリ素子データ検索プロセスの設計仕様外である、例えば、センスアンプ回路が扱うことのできるメモリ素子抵抗値の範囲外であるMRAM素子抵抗値を検出するように設計する。MRAM素子の抵抗に依存する時間信号を生成することにより回路を動作する。試験支援回路（例えば、図1に示す試験有限状態マシン回路112）が供給する参照時間信号とMRAM素子の時間信号とを比較する。MRAM素子の抵抗値が低すぎる場合、「ロー」試験参照時間信号と「ロー」抵抗素子が生成する時間信号とを比較することで検知される早い遷移を有する。反対に、MRAM素子の抵抗値が高すぎる場合、「ハイ」試験参照時間信号と「ハイ」抵抗が生成する時間信号とを比較することで検出される遅い遷移を有する。「ハイ」および「ロー」試験の結果を、MRAMセンスアンプの一部である走査レジスタに格納する。試験のマージンは、MRAMセンスアンプが故障する抵抗値を有するMRAM素子を選別するように設定できる。回路300および400の動作については、以下により詳細に説明する。

【0024】図3を参照して、図示の回路300は、MRAMセル310からのデータを検出するためのセンスアンプ回路304を含む。MRAMセル310を、コンデンサ312と並列なMRAM抵抗 $R_{MRAM311}$ が表している。MRAMセル310は、センスアンプ回路の観点からは単一のセルを表すが、抵抗311と特にコンデンサ312との実際の値は、セルの大きなアレイ

8

の部分であるセルによって影響を受ける。MRAMについての典型的な記憶技術の応用において、抵抗 $R_{MRAM311}$ は約1M $\Omega$ の公称値を有し、コンデンサ312は0.5pFのオーダーを有する。MRAMセル310の一端を、 $V_{col}$ とラベルするノードにおいてセンスアンプ回路に連結し、セル310の他端には、センス電圧 $V_{sense}$ を供給する。 $V_{col}$ ノードは、電流ミラートランジスタ（current mirror transistor）314および316と、演算増幅器318とを含む比較したトランジスタ電流ミラー回路の入力側にある。特に、トランジスタ314のドレインを、ノード $V_{col}$ に連結し、ソースを接地する。トランジスタ314のゲートを、トランジスタ316のゲートに連結し、トランジスタ316のドレインおよびソースを、 $V_I$ とラベルするノードと接地にそれぞれ連結する。演算増幅器318を、負の入力ノードが $V_{col}$ に連結し、出力を電流ミラートランジスタ314、316のゲートに連結した状態で、 $R_{ref}$ 信号を正の入力ノードへの入力として使用して、電流ミラー回路にドレイン電圧制御を提供する。実際には、MRAMセルを精密に検出するため、入力電圧 $V_{sense}$ は非常に小さく、例えば0.5ボルトのオーダーであり、セルの反対側の $V_{col}$ ノードにおける電圧を、 $R_{ref}$ 入力を使用して、接地電位に近いレベルに保持する。電流ミラー回路の機能はノード $V_I$ からのトランジスタ316を通る電流を保持することであり、この電流はノード $V_{col}$ からトランジスタ314を通る電流と同じ（またはその既知の係数（factor））である。このように、トランジスタ316を通る電流を、MRAMセルの抵抗311の測定として使用できる。

【0025】p型トランジスタ320を、ノード $V_I$ と供給電圧 $V_{DD}$ の間に連結し、リセット信号が制御する。図において回路部分322と332と342と、抵抗試験回路302とに示している4つの回路の分岐もまた、ノード $V_I$ に連結する。回路部分322と324と326とは、トリプルサンプルセンスアンプ回路304の一部を形成し、回路302は、上述した組み込み自己試験の目的で含まれるMRAM素子ハイ/ロー抵抗試験回路を含む。明確にするため、トリプルサンプルセンスアンプ回路の動作について説明して、試験回路302の動作をより良く理解する。

【0026】回路部分322と、332と、342とは、サンプル信号回路（322）と、サンプル「1」回路（332）と、サンプル「0」回路（342）とも呼ぶことができる。サンプル信号回路322は、ノード $V_I$ と信号集積ノードの間にパストランジスタ324を連結する。パストランジスタ324を、サンプル信号入力が制御する。サンプル信号回路322はまた、信号集積ノードと接地の間に信号保持コンデンサ326を連結し、トランジスタ324およびコンデンサ326は共に、電圧集積およびサンプル/保持回路として動作でき

9

る。その他の回路部分332および342を同様に構築する。特に、サンプル「1」回路332は、ノードV<sub>1</sub>を選択的に「1」保持集積および保持コンデンサ336に接続するか、あるいはそれらからノードV<sub>1</sub>を絶縁することができるパストランジスタ334を有する。サンプル「0」回路342もまた、パストランジスタ344と集積および保持コンデンサ346とを有する。トランジスタ334および344を、サンプル「1」入力およびサンプル「0」入力がそれぞれ制御する。

【0027】サンプル信号回路322の集積ノードを、シフトトランジスタ328を介して演算増幅器350の正の入力に連結する。同様に、回路部分332および342の集積ノードを、各シフトトランジスタ338および348を介して演算増幅器350の負の入力に双方とも連結する。シフトトランジスタ328と338と348とは、共通に、比較器シフト信号が制御する。演算増幅器を、その出力をシフトレジスタ354に別のシフトトランジスタ352を介して連結する。演算増幅器350の出力を、コンパレータクロック入力信号が制御し、シフトトランジスタ352は、レジスタ出力シフト信号が制御する。シフトレジスタ354は、既知の様式で接続した、弱フィードバック (weak feedback) 連結したインバータ356および358を含み、演算増幅器350からの出力を格納するように設けられる。基本的に、演算増幅器350は、正および負の入力によって存在する信号レベル間のコンパレータとして動作し、それに従って、レジスタ354を検出したMRAMセルの状態を示す「1」または「0」の状態にする出力を提供する。これについては、さらに詳細に後述する。

【0028】トリプルサンプルセンスアンプ回路304は、検出手順中にMRAMセルに格納したデータを破壊するデータ破壊回路である。したがって、データを検出した後、データをMRAMアレイに保持すべき場合には、データを検出したセルに書き戻すべきである。

【0029】センスアンプ動作の初期リセットフェーズ中に、トランジスタ320をオンにするために、リセット信号を加え、これが効果的にノードV<sub>1</sub>を供給電圧VDDに引き上げる。このとき、サンプル信号入力がトランジスタ324のオンを表明 (assert) する。これにより、集積および保持コンデンサ326をVDDに充電できる。リセットトランジスタ320は、集積コンデンサを充電可能とするために、ある時間期間オンに保たれ、また、これは、MRAMアレイをアドレス指定して、選択したMRAMセル310を通る電流が定常状態 (数マイクロ秒まで) に達することが可能になる間に達成できる。次に、リセットトランジスタ320を、センスアンプ動作の第1の、信号サンプリングフェーズのためにオフにする。リセットトランジスタ320は、サンプリング動作全体にわたってオフのままである。

【0030】センスアンプのサンプリング動作の第1の

10

フェーズ中、サンプル信号入力を、所定のサンプリング期間オンに保持する。このとき、トランジスタ316を通る電流は、検出しているMRAMセルを通る電流を反映する定常状態に達している。MRAMセル310を通る電流は、勿論、その抵抗に依存し、この抵抗をセルに格納しているデータの状態が支配する。例えば、データ「0」をMRAMセルに格納している場合、抵抗値R<sub>MRAM</sub>は抵抗値のメジアンよりも比例的に高い (例えば、5%から20%の量)。トランジスタ316を通る電流はR<sub>MRAM</sub>抵抗に依存しており、したがって、MRAMセルが「0」を格納している場合よりも「1」を格納している場合により大きくなる。リセットトランジスタ320をオフにし、サンプル信号トランジスタ324をオンにした状態で、コンデンサ326からトランジスタ316を通る電流を引き出す。このように、コンデンサ326は、パストランジスタ324をオフにするまでのサンプリング期間中に、トランジスタ316を介して引き出した電流を集積する。トランジスタ324がオフの状態、集積した電圧レベルは、コンデンサ326が保持し、MRAMセル310に格納しているデータを表す。

【0031】コンデンサ326における電圧レベルがデータ「1」またはデータ「0」のいずれを表すかを決定するために、トリプルサンプルセンスアンプが比較電圧を生成する。「1」をMRAMセル310に書き込み (それによって、先に格納していたデータを破壊する)、R<sub>MRAM</sub>抵抗値をサンプリングしてから、セルに「0」を書き込んで再びサンプリングすることで比較電圧を生成する。既知の「1」および「0」のセル状態から得られるサンプルを、「平均」値に組み合わせ、これを使用して、信号サンプルとの比較を行う。その手順については、以下にさらに詳細に説明する。

【0032】センスアンプのサンプリング動作の第2のフェーズ中に、データ「1」をMRAMセル310に書き込む。次に、サンプル「1」信号を表明して、集積コンデンサ336をVDDに充電するためトランジスタ320がオンであるリセット期間中、トランジスタ334をオンにし、そして、続くサンプリング期間でもオンのままにする。サンプリング期間中、コンデンサ336は、ミラートランジスタ316を介して引き出した電流を集積するため、コンデンサ336の結果得られる電圧レベルは、既知の「1」状態のR<sub>MRAM</sub>抵抗を表す。トランジスタ334を第2のフェーズサンプリング期間の終わりにオフにすると、「1」電圧をコンデンサ336が保持する。

【0033】同様に、センスアンプサンプリング動作の第3のフェーズ中に、データ「0」をMRAMセル310に書き込む。次に、サンプル「0」信号を表明して、集積コンデンサ346をVDDに充電するためトランジスタ320がオンであるリセット期間中、トランジスタ

11

344をオンにし、そして、続くサンプリング期間でもオンのままにする。サンプリング期間中、コンデンサ346はミラートランジスタ316から引き出された電流を集積するため、結果としてコンデンサ346上の電圧レベルは既知の「0」状態のR<sub>\_\_</sub>MRAM抵抗を表す。トランジスタ344を第3のフェーズサンプリング期間の終わりにオフにすると、「0」電圧をコンデンサ346が保持する。

【0034】3つのサンプリングフェーズ後、集積および保持コンデンサ326と336と346とは、MRA 10 Mセル310の検出した元の格納しているデータと、既知の検出したデータ「1」と、既知の検出したデータ「0」とを表す電圧レベルをそれぞれ保持する。そして、パストランジスタ328と338と348とを、比較器シフト信号を表明することでオンにする。回路部分332および342の出力を、演算増幅器350の負の入力ノードに共に連結するため、比較器シフト入力の表明した後に結果的に得られる電圧レベルは、既知の「1」および既知の「0」の電圧レベルの「平均」である。この「平均」電圧レベルは、 $VR/2$ と呼ばれ、信号集積および保持コンデンサ326が格納する電圧はV<sub>sig</sub>と呼ばれる。

【0035】比較器クロック入力を演算増幅器350にすると、演算増幅器350は、入力V<sub>sig</sub>およびVR/2の比較を表す出力を提供する。例えば、信号電圧レベルV<sub>sig</sub>が「平均」電圧レベルVR/2よりも大きい場合、演算増幅器350の出力は比較的高電圧である。反対に、V<sub>sig</sub>がVR/2よりも小さい場合、演算増幅器の出力は比較的低い。次に、レジスタ出力シフト信号を表明し、トランジスタ352をオンにすることで、演算 30 増幅器350の出力がレジスタセル354をドライブ可能にする。したがって、演算増幅器350の出力が比較的低い場合、レジスタセルは、データ「1」を格納する（レジスタセル出力Reg\_outはインバータ356の出力にある）。演算増幅器350の出力が比較的高い場合、レジスタセル354に格納した出力はデータ「0」である。レジスタセル354の構造は、格納した値が、弱フィールドバックインバータ358によってインバータ358に打ち勝つレジスタへの入力を提供するまで残るようにするものである。

【0036】ハイ/ローMRAMセル抵抗試験回路302もまた、ノードV<sub>i</sub>に連結し、トランジスタ316を通る電流を反映したものを入力として使用する。試験回路302は、図1において参照する試験FSM回路112から供給する2つの入力を使用して動作する。第1の入力は、パストランジスタ360を制御する列テスト可能信号である。パストランジスタ360は、試験回路302をノードV<sub>i</sub>に連結し、また、選択的に試験集積および保持コンデンサ362をノードV<sub>i</sub>に接続または接続解除するように列テスト可能信号によって制御可能で 50

12

ある。トランジスタ360とコンデンサ362との集積および保持動作は、概して回路部分322、332、342の同等機能の動作と同様である。しかし、試験回路302は、回路部分322、332、342とは別個に動作するため、トランジスタ360を、センスアンプサンプリング機能が試験回路302の動作を妨害しないように、サンプリングパストランジスタ324、334、344（および逆の場合も同様）の排他のためにオンにする。

【0037】試験回路302は、一方はセルの抵抗R<sub>\_\_</sub>MRAMが高すぎるか否かを決定し、他方はそれが低すぎるか否かを決定するためのものである2つの別個のフェーズにおいて動作する。試験回路302の動作の本質は、トランジスタ316を通る電流による充電集積が所定の電圧レベルに達するのに要する時間と、所定の制限時間との比較である。インバータ364を、コンデンサ362の集積ノードに連結し、所定の電圧レベルを設定する閾値デバイスの形態で動作する。インバータ364の出力を、パストランジスタ366を介して、比較結果を格納するために使用するシフトレジスタセル354に連結する。パストランジスタ366への入力信号列テストトリファレンスを、上記所定の時間制限を適用するために使用する。リセットトランジスタ368は、レジスタセル354への入力ノードと接地との間に連結され、例えばレジスタセル354を試験開始時の既知の状態に初期化するためにトランジスタ320に使用されるリセット信号によって制御できる。

【0038】試験回路302の第1の試験フェーズ中に、リセットおよび列テスト可能信号をまず表明し、それによってコンデンサ362を供給電圧VDDに近いレベルに充電できる。次に、リセットトランジスタ320をオフにして、コンデンサ362にわたる電圧が、トランジスタ316を通る電流（測定している抵抗R<sub>\_\_</sub>MRAMに反比例する）に従って電荷を集積可能になる。一般に、抵抗R<sub>\_\_</sub>MRAMが比較的低い場合、インバータ364の入力における電圧は、電荷集積中に、R<sub>\_\_</sub>MRAMが比較的高い場合よりもはやくインバータ切り替え閾値に達する。第1の試験フェーズは、インバータの出力により、遷移がはやくなりすぎる（R<sub>\_\_</sub>MRAM値が低すぎることを示す）か否かを決定することである。第2の試験フェーズは、インバータの出力により、遅くなりすぎる前に遷移する（R<sub>\_\_</sub>MRAM値が高くなりすぎないことを示す）か否かを決定する。第2の試験フェーズを、MRAMセルが最初のフェーズの試験をパスした場合にのみ実行する。試験手順のより良い理解を得るには、試験回路302からの関連信号レベルの相対的なタイミングを示すタイミング図である図5を参照することが有用である。

【0039】図5は、相対的なタイミングを示すいくつかの電圧信号表現を示している。入力リセット信号を5

13

02に示し、MRAMアレイアドレス指定入力を504に示し、列テスト可能入力を506に示している。仕様制限内にあるインバータ364の出力Comp\_outの遷移についての時間範囲を508に示している。時間範囲の終端は時間 $t_L$ であり、試験中に所与のMRAMセルについてのComp\_outの遷移が $t_L$ 前に発生すると、そのセルは低すぎる抵抗 $R_{MRAM}$ 値を有するものと考慮される。時間範囲の始端は時間 $t_H$ であり、試験中に、所与のMRAMセルについてComp\_outの遷移が $t_H$ 後に発生すると、そのセルは高すぎる抵抗 $R_{MRAM}$ 値を有するものと考慮される。

【0040】 $R_{MRAM}$ が低すぎるか否かを試験するために、510で示すように、トランジスタ366が時間 $t_L$ においてオフになるように、列テストリファレンス信号を制御する。この場合、トランジスタ366を、図に示すように時間 $t_L$ の前の期間オン状態に保持する。列テストリファレンスを表明する時間の長さは、インバータ364の出力Comp\_outがレジスタセル354をドライブするのに十分だけ必要である。

【0041】試験のこのフェーズに従って、抵抗 $R_{MRAM}$ が特定の範囲内にある場合、以下の作用が発生する。

i) トランジスタ314および316を通る電流は許容範囲内にある。

ii) コンデンサ362の集積ノードにおける電圧は、許容するレートでVDDから減少する。

iii) インバータ出力Comp\_outを、時間 $t_L$ 前にローからハイにドライブせず、そのため、

iv) 時間 $t_L$ に続くレジスタセル354に格納する値は、トランジスタ368を使用して予め設定した値と同じままであり（すなわち、時間 $> t_L$ の場合、Reg\_out = 「1」）、

v) トランジスタ366を時間 $t_L$ においてオフにするため、 $t_L$ 後にComp\_outに発生するいずれの遷移もレジスタ出力Reg\_outに影響を与えない。

したがって、特定の下限よりも高い抵抗値 $R_{MRAM}$ を有するMRAMセル310の場合、列テストリファレンス信号をローにドライブした後（すなわち、 $t_L$ 後）は、レジスタセル出力Reg\_outは「1」である。MRAMセルが下限仕様に見合う抵抗を有する場合のComp\_outおよびReg\_outを表す信号表現例を、512および514にそれぞれ示している。

【0042】最初の試験フェーズにおいて、MRAMセル抵抗が高すぎる場合に許容可能なセルとしての同じ試験出力を得る。したがって、MRAMセルが最初のフェーズにおける試験にパスした場合、 $R_{MRAM}$ が高すぎるか否かを決定するために、第2のフェーズ試験を実行する必要がある。MRAMセルが最初のフェーズ試験に失敗した場合には、セルはすでに失敗しており、かついかなる場合であっても高すぎる抵抗および低すぎる抵

14

抗のどちらも持ちえないため試験を続ける必要はない。しかし、手順の一貫性のために、第2のフェーズ試験をとりあえず実行し、その結果を無視してもよい。

【0043】一方、抵抗 $R_{MRAM}$ が特定の範囲よりも低い場合、以下の作用が発生する。

i) トランジスタ314および316を通る電流は、許容できるものよりも高い。

ii) コンデンサ362の集積ノードにおける電圧は、許容するレートよりも速くVDDから減少する。

iii) その結果、インバータ出力Comp\_outを、下限時間 $t_L$ 前にローからハイにドライブし、そのため、

iv) パストランジスタを時間 $t_L$ において閉じる前に、レジスタセル354への入力を、開いたパストランジスタ366を介してハイにドライブし、

v) トランジスタ366を時間 $t_L$ においてオフにした後、レジスタ出力Reg\_outは、予め設定した「1」の値とは異なる「0」である。

したがって、特定の下限よりも低い抵抗値 $R_{MRAM}$ を有するMRAMセル310の場合、列テストリファレンス信号をローにドライブした後（すなわち、 $t_L$ 後）は、レジスタセル出力Reg\_outは「0」である。MRAMセルが下限仕様に見合わない抵抗を有する場合のComp\_outおよびReg\_outを表す信号表現例を、516および518にそれぞれ示している。

【0044】 $R_{MRAM}$ が高すぎるか否かを試験するために、列テストリファレンス信号を、520で示すように、トランジスタ366が時間 $t_H$ においてオフになるように制御する。この場合、トランジスタ366を、図に示すように時間 $t_H$ の前の期間オン状態に保持する。列テストリファレンスを表明する時間の長さは、インバータ364の出力Comp\_outがレジスタセル354をドライブするのに十分だけ必要である。

【0045】第2のフェーズ抵抗仕様試験について、MRAMセルの抵抗が仕様上限よりも低い場合、Comp\_out信号の遷移は、522に示すように、 $t_L$ から $t_H$ の時間期間内で発生する。次に、列テストリファレンス信号520を表明している間、インバータ出力は524に示すように、最初はハイであるレジスタセル354のReg\_out出力をロー（「0」）レベルにドライブする。抵抗が高すぎるMRAMセルの場合、Comp\_outの遷移は、パストランジスタ366がオフになる前には発生しないため、その場合Reg\_outはハイ（「1」）レベルのままである（図5の526および528参照）。その結果、高すぎる抵抗を有するMRAMセルは、第2のフェーズ試験後にReg\_out = 「1」を戻す。一方、特定した下限よりも低い抵抗を有するMRAMセルは、Reg\_out = 「0」という第2のフェーズ試験結果を戻す。

【0046】第1および第2のフェーズ試験を組み合わせ、第1の試験結果がReg\_out(1) = 「1」を戻し、かつ第2の試験結果がReg\_out(2) = 「0」を戻す場合にの



15

み、MRAMセルを許容可能な抵抗を有するものと判定できる。他の組み合わせの第1および第2のフェーズ試験結果はすべて、試験下のMRAMセルの抵抗値が、許容可能な抵抗仕様外であるために受け入れられないことを示している。試験結果は、試験FSM112（図1）によって、または単純なロジック回路（図示せず）を使用し、所定の許容可能な結果と比較できる。MRAMアレイの所与の列におけるセルについての試験結果もまた、図1に示す列エラーカウンタ110がカウントすることができる。

【0047】図4は、ハイおよびロー抵抗仕様試験のための対策（provision）を含むシングルサンプルMRAMセンスアンプ回路400を示している。シングルサンプルセンスアンプ回路の基本的な動作は、検出しているMRAMセルと比較するために使用する予め設定した許容範囲を有するリファレンス回路に依存する。回路400の詳細な動作について、以下に説明する。

【0048】シングルサンプルセンスアンプ回路400は、リファレンス回路450および信号回路402という2つの主要な回路部分を含んでいる。図4からわかるように、リファレンス回路450および信号回路402は、概して構造が同様であり、プリアンプ段およびコンパレータ段をそれぞれ含んでいる。シングルサンプルセンス回路400は、上述したトリプルサンプルセンス回路において電流ミラー段を採用するのとは異なり、バッファリングしたダイレクトインジェクション（direct injection）プリアンプ段を利用する。信号回路402に関して、検出すべきMRAMセル（410）を、演算増幅器414の負の入力においてセンス回路に連結する。上述したように、MRAMセルは、コンデンサ素子412と並列な抵抗素子R<sub>MRAM</sub>（アレイ）411として考慮することができる。演算増幅器414は、R<sub>ref</sub>制御信号を受け取るように正の入力に連結しており、R<sub>ref</sub>制御信号は、上述したセンス回路でのように、ダイレクトインジェクショントランジスタ416のバイアスを制御するために使用可能である。トランジスタ416は、信号回路402のコンパレータ段のSIG1とラベルする入力ノードにプリアンプ段を連結する。

【0049】リファレンス回路450のプリアンプ段は、信号回路402のものと同じ構造を有する。MRAMセル460を、ダイレクトインジェクショントランジスタ466のバイアスを制御する演算増幅器464に連結する。しかし、リファレンス回路では、MRAMセル460は、MRAMアレイ記憶セルではなく、リファレンス比較のために特に設けるMRAMセルである。MRAMセル460は、抵抗素子R<sub>MRAM</sub>（リファレンス）461を有し、これは、公称MRAM抵抗値を有する。リファレンスMRAMセルは、検出しているアレイにおけるMRAMセルと同じ方法で製造することが好ましく、これによって静電容量値412および462のマ

16

ッチングを促進する。ダイレクトインジェクショントランジスタ466は、リファレンスMRAMセルをREF1とラベルするリファレンス回路コンパレータ段の入力ノードに連結する。

【0050】再び信号回路402を参照して、コンパレータ段への入力、入力ノードSIG1と接地の間に連結する集積コンデンサ420を有する。入力ノードSIG1をまた、SIG1と電圧源VDDとの間に連結し、リセット信号が制御するp型トランジスタ418の形態をなして、それに連結したリセット回路も有する。ノードSIG1をさらに、第1のインバータ422の入力に連結する。第1のインバータ422の出力を、第2のインバータ424の入力に連結する。第2のインバータの出力は、SIG2とラベルするコンパレータ段の出力ノードを提供する。信号回路の出力ノードSIG2を、ロジックゲートバストラジスタ430を介してレジスタセル440の入力に連結する。レジスタセル440は、上述した回路300のレジスタセル354に略等しい。ロジックゲートバストラジスタ430を、後述するように、リファレンス回路450の出力が制御する。

【0051】リファレンス回路450のコンパレータ段は、信号回路のコンパレータ段と略同じ構造である。特に、リファレンス回路のコンパレータ段REF1の入力ノードを、集積コンデンサ470と、リセットトランジスタ468と、第1のインバータ472との入力に連結する。第1のインバータ472の出力は、第2のインバータ474へ入力を提供する。第2のインバータ474の出力は、Run制御信号が制御するバストラジスタ476を介して、ノードREF2においてリファレンス回路450の出力を提供する。出力ノードREF2は、上記ロジックゲートバストラジスタ430を制御する。

【0052】上述したように、レジスタセル440は、格納インバータ442および弱フィードバックインバータ444を備え、上述したレジスタセル354と略同じ構造をしている。この場合、レジスタセル440は、リセット信号が制御するリセットプルアップトランジスタ446を介して所定の状態にすることができる。

【0053】シングルサンプルセンス回路400は、少々、信号回路402とリファレンス回路450との間の信号レースのように動作する。リファレンス回路450はバストラジスタ430を制御し、信号回路402がレースに「勝つ」と、SIG2における出力が、バストラジスタ430がオフになる前にレジスタセル440の状態を変えることができる。逆に、リファレンス回路450が「勝つ」と、レジスタセルが変わる前にトランジスタ430をオフにする。

【0054】検出手順の開始時において、コンデンサ420および470の集積ノードSIG1およびREF1は、制御信号リセットをパルス生成することで略電圧VDDに共に上げられる。これはまた、レジスタセル44

10

20

30

40

50

17

0の入力をハイにプル(pull)することにより、レジスタセル出力の初期状態をReg\_out=「0」にして、レジスタセル440をリセットする作用も有する。パストランジスタ476は、センス回路が動作中である間、Run信号の表明により開いたままである。Run信号を、さらに後述する組み込み自己試験のためにオフにする。REF1およびSIG1ノードをVDDに充電した状態では、出力ノードREF2およびSIG2もまたハイであり、これは、ロジックゲートパストランジスタ430が開いており、かつレジスタ出力Reg\_outがロー（ロジック「0」）のままであることを意味する。Reset信号をオフにすると、プリチャージしたコンデンサ420および470が、各R\_MRAM抵抗素子411および461を通る電流を放電することで集積を開始する。集積ノードSIG1における電圧が第1のインバータ422の閾値電圧に達すると、そのインバータの出力が変わり、出力ノードSIG2が初期ロジック「1」状態からロジック「0」状態に変化する。遷移が起こる時間は、集積コンデンサ420の静電容量や、アレイの抵抗R\_MRAM411の値によって影響を受ける集積レートに依存する。R\_MRAM411の値は、格納した状態に従って変化するため、アレイMRAMセル410の状態は、SIG2遷移のタイミングに影響を与える。

【0055】リファレンス回路450は、信号回路402と同様な構造であるため、出力ノードREF2の初期状態もまたロジック「1」である。REF2のロジック「1」からロジック「0」への遷移のタイミングは、コンデンサ470およびリファレンスMRAMセル460の抵抗R\_MRAM461による影響を受ける。リファレンスセル460は、アレイのMRAMセルのようにプログラムすることができず、したがって、抵抗461の値は固定している。コンデンサ470の静電容量値もまた、コンデンサ420の値のように固定している。したがって、所与の値のコンデンサ420および470について、出力ノードSIG2およびREF2の遷移の相対的なタイミングを、R\_MRAM（アレイ）411にプログラムする抵抗が支配する。したがって、MRAMセル410が第1の状態である場合、SIG2の遷移がREF2前に発生し、かつセル410が第2の状態である場合、SIG2の遷移はREF2後に発生するように、コンデンサ420および470の相対的な値を選択できる。これは、セル410の第1の状態では、SIG2の遷移により、レジスタ出力Reg\_outが「0」から「1」に遷移し、セル410の第2の状態では、Reg\_outはロジック「0」のままであることを意味する。このため、センスMRAMセルの状態を、レジスタセル出力Reg\_outが示している。この検出方式は、トリプルサンプル検出手順の場合のようにデータ破壊的ではないことに留意する。

【0056】シングルサンプルセンス回路400の場合

18

合、単一のパストランジスタ480を使用して、ハイ/ロー抵抗仕様試験を追加できる。試験パストランジスタ480は、ノードREF2においてロジックゲートパストランジスタ430のゲートに制御入力列テストリファレンスを連結する。試験パストランジスタ480を、別の制御信号列テスト可能がオン/オフする。制御信号列テストリファレンスおよび列テスト可能は、図1において試験FSM112と呼ばれるような制御回路によって共に提供できる。列テスト可能信号およびRun信号を、一度のパストランジスタ476および480の一方のみがオンになるように制御する。これは、パストランジスタ480がオンであるとき、ノードREF2は、リファレンス回路450からの妨害なく、列テストリファレンス信号によって制御可能であることを意味する。R\_MRAM（アレイ）抵抗411が特定した限度内にあるか否かを決定するために、以下に説明するように列テストリファレンス信号を制御する。

【0057】試験パストランジスタ480の使用可能(enable)に伴って、抵抗R\_MRAM411が仕様内にあるか否かを決定するために、列テストリファレンス信号を制御する試験手順は、上述した回路302におけるパストランジスタ366の制御と同様である。信号回路402の検出サイクル中に、第1の試験パルスを加え、セルの抵抗が低すぎるか否かを決定する。第1のパルスの終わりは、許容下限にあるSIG2の遷移のタイミングに対応するため、セル抵抗の特定した下限に対応する。第1の試験パルスの後に、出力Reg\_outが「0」のままである場合、素子411の抵抗を、特定した下限よりも大きいと判定する。次に、第2の試験パルスを、回路402の別の検出サイクル中に列テストリファレンス信号に加える。第2の試験パルスの終わりは、許容上限にあるSIG2の遷移のタイミングと一致しているため、セル抵抗の特定した上限に対応する。第2の試験パルスの後に、出力Reg\_outが「1」に変化した場合、素子411の抵抗を、特定した上限よりも低いと判定する。したがって、第1の試験サイクルの結果がReg\_out=「0」であり、かつ第2の試験サイクルの結果がReg\_out=「1」である場合、MRAMセル410は、特定された許容可能な限度内にある公称抵抗値を有すると決定される。相対的なタイミングは、上述した図5のタイミング図を参照して、容易に確認できる。

【0058】図3および図4に示した上述した回路は、本発明の特定の実施形態によるハイ/ロー抵抗試験を行うように構成したアナログセンスアンプの特定の例であり、ハイおよびロー抵抗を検出する方法は、他のタイプのセンスアンプとも機能する。特に、ハイおよびロー抵抗限度を検出する上記技法は、アナログおよびデジタル双方のセンスアンプを含む任意の集積センスアンプに適用可能であるものと予期される。

【0059】組み込み自己試験の第3のセットは、従来

19

のパターン試験である。すべて「1」と、すべて「0」と、「0」－「1」が交互になったものと、「1」－「0」が交互になったもののパターンとを、MRAMアレイに書き込み、そして読み出しする。パターンを、アレイ全体に書き込んでから、行毎に読み出しする。行読み出しプロセス中に、パターン値を排他的OR回路への入力として表明し、センスアンプが検出した値と比較し、その結果をセンスアンプデータI/O走査レジスタに格納する。

【0060】ハイ/ロー抵抗試験またはパターン試験によって検出したエラーを、センスアンプデータI/O走査レジスタに格納する。1つまたは複数のエラーを検出した場合、エラーフラグを行全体について報告する。図6に示す回路600は、すべてのセンスアンプデータI/O走査レジスタを監視し、データをワイヤードOR回路と組み合わせるために使用できる。センスアンプデータI/O走査レジスタをワイヤードOR回路に接続するため、1つはインバータを介し、1つは上述した抵抗仕様試験のエラー報告の形態を明らかにするため直接に接続する2つのパスを示している。

【0061】図示の回路600は、シフトクロック信号SCLKおよびSCLKBが同期するシフトレジスタの様式をなして配置する2つのセンスアンプ走査レジスタセル602および604を有する。第1の走査レジスタ602は、図4および図3に関連して上述したタイプのシングルまたはトリプルサンプルセンスアンプのようなMRAMセンスアンプ回路からの入力をそれぞれ受け取る。

【0062】また、第1の走査レジスタの入力には、パターン試験回路610も連結する。パターン試験回路610は、テストパターン入力「1」または「0」を表すため、入力ノードT<sub>1</sub>をそれぞれプルアップまたはプルダウンするために配置するトランジスタ612および614を含む試験パターン表明部分を有する。プルアップおよびプルダウンの各トランジスタを、入力書き込み信号W1およびW0が制御する。ノードT<sub>1</sub>を、試験パターン読み出し回路および試験パターン書き込み回路の双方に連結する。試験パターン読み出し回路は、パストランジスタ618に直列接続した排他的ORゲート616を含む。排他的ORゲートの入力を、センスアンプおよびノードT<sub>1</sub>から与える。パストランジスタ618からの試験パターン読み出し回路の出力を、次に、走査レジスタの入力に接続する。CLKBが制御するクロックトランジスタは、試験パターン回路610の入力と出力を分ける。試験パターン書き込み回路は、ノードT<sub>1</sub>から走査レジスタの入力まで試験パターン読み出し回路に並列接続する別のパストランジスタ620を含む。

【0063】データを走査レジスタがMRAMアレイに対して入出力する方法を鑑みて、試験パターン書き込み回路および読み出し回路は並列に接続できる。要する

20

に、走査レジスタを、データの入力および出力の双方に使用する。パストランジスタ618および620への制御信号は、相互に排他的であるため、試験パターン書き込み動作および読み出し動作の一方のみを一度に使用可能にすることができる。書き込み動作中、パストランジスタ620を使用可能にし、選択した二値状態を、プルアップトランジスタ612およびプルダウントランジスタ614の一方を使用して表明する。これにより、選択したパターンを、標準的な様式で走査レジスタI/Oを介して、関連するMRAMセルに書き込める。次に、MRAMセルを上述したようにセンスアンプ回路を介して読み出し、検出した二値レベルが回路610の入力時に現れる。排他的ORゲート616は、書き込んだデータと、読み出したデータとのあらゆる相違を検出し、パストランジスタ618が使用可能であるときに、パターン試験の結果を走査レジスタに格納する。

【0064】回路600内の走査レジスタセル604のノードT<sub>2</sub>における出力は、連鎖回路のようにアレイの次の列の走査レジスタ回路の入力に連結してもよい。このようにして連鎖した走査レジスタは、例えば、列エラーカウンタ110（図1）によって利用可能なパターン試験エラーベクトルを格納できる。

【0065】上記説明からわかるように、回路600内の走査レジスタの出力におけるノードT<sub>2</sub>は、上記抵抗仕様試験およびパターン試験の双方の組み込み自己試験結果を、個々の試験を実行する際に受け取る。すべての試験結果を登録可能にするため、回路600内の走査レジスタ出力から提供する試験結果を、図2に関連して説明した行ワイヤードOR回路と同様の構造である列ワイヤードOR試験回路630に接続する。列ワイヤードOR回路630を、Test\_Col入力信号が制御し、Test\_Col入力信号は、例えばテストFSM112（図1）が考慮している行を選択したとき、ワイヤードOR回路の出力をエラーフラグ列レジスタ640にのみ使用可能にする。

【0066】ノードT<sub>2</sub>と列ワイヤードOR回路630との間には、自己試験回路からの一貫性すなわちエラー報告を確実にするために使用する選択回路622がある。選択回路622は、パストランジスタ624を含む第1の回路アームを有する。MRAMセルが試験をパスした場合、実行している特定の自己試験が論理「1」を戻すときに、パストランジスタ624を使用可能にする。選択回路622の第2の回路アームは、パストランジスタ628と直列接続したインバータ626を有する。実行している特定の試験がロジック「0」という予期されるパス結果を有する場合に、選択回路622の第2の回路アームを使用可能にする。選択回路622は、試験回路が検出したMRAMセルエラーをテストFSM（図1）へと組み込み可能なエラーフラグ列レジスタ640に一貫して記録できるようにする。

21

【0067】列試験回路が報告したエラーは、ECC（エラー修正回路）で修正可能な単一ビットエラーであっても、またはその行を「不良」な行としてマークするよう保証するマルチビットエラーであってもよい。行を「不良」とマークするのに十分な数のエラーがあるか否かを決定するために、カウンタを使用する。列エラーフラグが、エラー状態が存在することを示す場合、センスアンプデータ I/O 走査レジスタ内のデータを、列エラーカウンタ（図 1 における 110）にシフトする。行エラーカウンタが外部 ECC で修正不可能であると決定する値を超えると、該行を「不良」とマークすることができる。組み込み自己試験回路が生成したエラーデータは、さらなる処理またはテストへの報告のために外部回路で収集してもよい。組み込み自己試験データを保持するための外部回路の 1 つは、MRAM を使用して既知の良好な記録領域にデータを書き込むように指示するシステムが使用する「状態レジスタ」である。

【0068】本発明の好ましい実施は、広範囲にわたる試験セットを行って、MRAM メモリアレイ内の欠陥を見つけるために使用できるいくつかの組み込み試験集積回路に関連する。行ワイヤード OR 試験回路を使用して、短絡した素子および開いた行を検出できる。動的ハイ/ローメモリセル抵抗試験を、特別に構築したセンスアンプ回路の使用を介して実行する。パターン試験は、センスアンプに集積した排他的 OR 回路および走査データ I/O レジスタを使用して行うことができる。ハイ/ロー試験およびパターン試験からの出力は、個々の MRAM メモリ素子のパフォーマンスを検査する。ワイヤード OR 回路は、ハイ/ロー試験結果とパターン試験結果を組み合わせて、単一の列エラーフラグにするために使用される。列エラーフラグを設定している場合、不良とマークした行におけるセルの数をカウントするようにエラー試験カウンタを含んでいる。列エラーカウンタは、その行のデータが ECC 修正可能であるか否かを決定するために使用しうる。

【0069】いくつかの回路が利用する信号制御の要件を含む、本発明およびその好ましい実施形態の機能の詳細な説明に基づき、当業者の能力内で、図 1 におけるブロック形態で示すテスト FSM 回路 112 等の制御回路を構築すること可能である。制御回路は、上記において詳細に考察かつ説明した制御信号を提供するために任意の所望の形態で構築することができ、集積回路の組み込み試験の分野の当業者は、例えば、回路に必要なシリコン領域を保持する望ましさを容易に認識するであろう。

22

【0070】本発明の上記詳細な説明は、例としてのみ提示したものであり、当業者は、本発明の範囲から逸脱せずに、本発明の特定の要素および配置に対して変更および変形を行いうる。例えば、本発明の原理を理解するために、いくつかの特定の回路を図示かつ説明しているが、本発明はこれらの構造に制限されない。

【図面の簡単な説明】

【図 1】本発明の実施形態による組み込み自己試験回路を含む MRAM アレイのシステムブロック図である。

【図 2】開いた行および MRAM 素子試験回路の短絡を示す簡略化した回路図である。

【図 3】トリプルサンプルセンスアンプの一部としてのハイ/ロー MRAM 素子抵抗試験回路の回路図である。

【図 4】シングルサンプルセンスアンプの一部としてのハイ/ロー MRAM 素子抵抗試験回路の回路図である。

【図 5】ハイ/ロー MRAM 素子抵抗試験のタイミングシーケンスを示すタイミング図である。

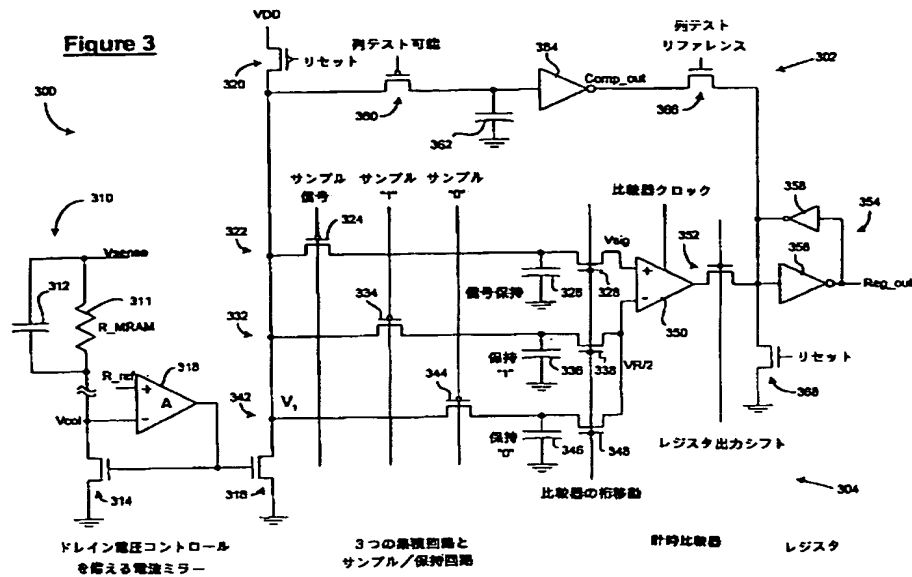
【図 6】列のハイ/ロー抵抗試験およびパターン試験ワイヤード OR 回路の簡略化した回路図である。

【符号の説明】

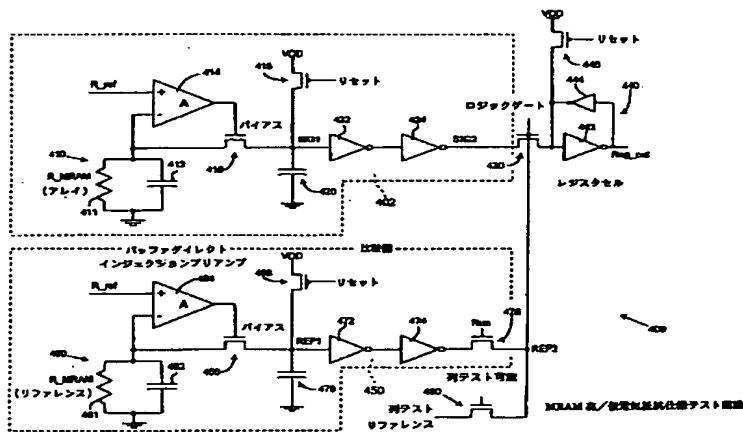
102、202   メモリアレイ  
106、200   第 2 の試験回路  
108、300、400   第 1 の抵抗仕様試験回路  
108、610   第 3 の試験回路  
216、218、630   ワイヤード OR 回路  
204   列線  
206   行線  
208   出力  
209   開いた行アドレス指定線  
211   短絡したメモリセル  
300、400   センスアンプ回路  
210、310、410   各メモリセル  
222   行エラーフラグレジスタ  
354、440、602、604   走査レジスタ  
360、362、364、366、480   抵抗仕様試験回路  
362、420、602、604   電荷集積回路  
364、422、424   閾値回路  
366、480、430   スイッチング回路  
510、520   第 1 および第 2 の所定のタイミング信号  
518、528   第 1 および第 2 の所定のタイミング信号限度  
640   エラーフラグ列レジスタ

Figure 1 is a block diagram of a memory array testing apparatus. The apparatus includes a memory array (102) and a row address decoder (104). A row test control unit (108) is connected to the row address decoder and a row test counter (110). A column test control unit (106) is connected to the column address decoder and a column test counter (110). A test PSM (112) is connected to both counters and receives a test error flag (109) from the column test counter. The test PSM outputs a test status table report (114) to a report output unit (116).

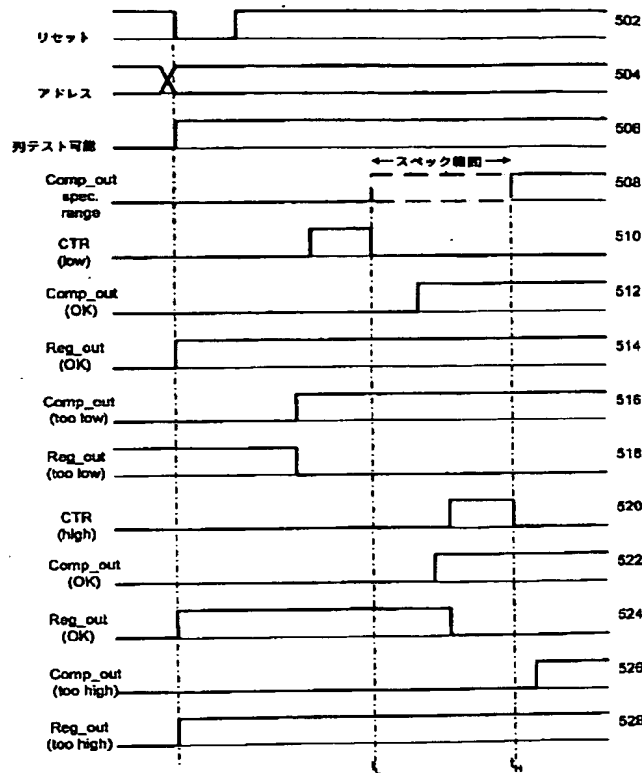
【図3】



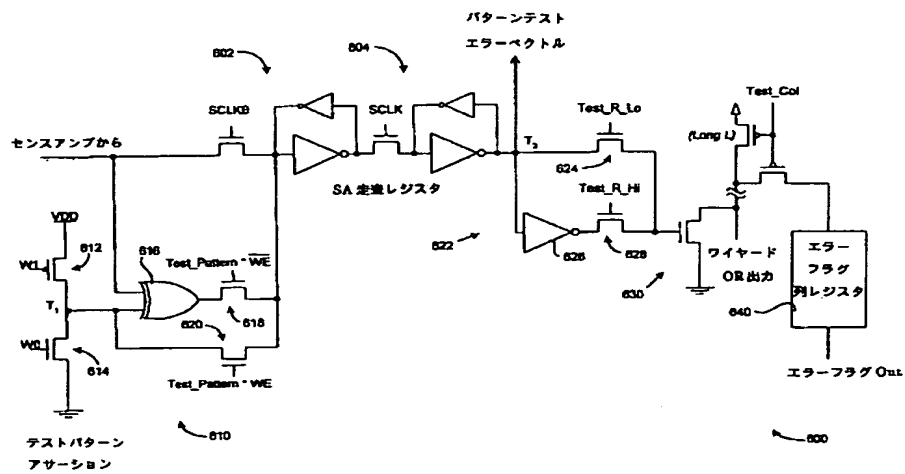
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I  
G 0 1 R 31/28テーマコード (参考)  
V

(72) 発明者 ケネス・ジェイ・エルドレッジ  
アメリカ合衆国アイダホ州83709, ボイジ  
ー, カマス・ストリート 11111

(72) 発明者 ラング・ティ・トラン  
アメリカ合衆国カリフォルニア州95070,  
サラトガ, ウッドブレイ・コート 5085